

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-244625

(43)Date of publication of application : 29.09.1989

(51)Int.Cl.

H01L 21/52

H01L 21/60

(21)Application number : 63-072372

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.03.1988

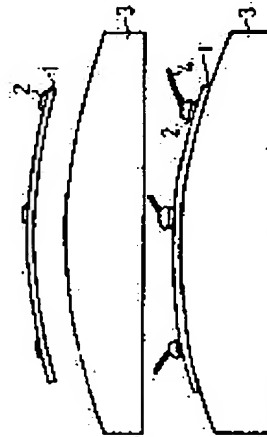
(72)Inventor : OKAMOTO TATSURO  
SHIMIZU MASAHIRO  
MORIMOTO HIROAKI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce stress applied to a semiconductor substrate and a connecting section for the substrate, and to improve the yield and reliability of the semiconductor device by forming the junction on the semiconductor substrate side or at least one of the substrate or the junction on the substrate side so as to coincide with the shape of displacement of the semiconductor substrate.

**CONSTITUTION:** Application to a contact section in a substrate 3 of stress resulting from the warpage of a semiconductor substrate 1 is prevented through die bonding with the substrate 3 previously machined so as to coincide with the shape of displacement of the semiconductor substrate 1. Since the displacement of the semiconductor substrate 1 can be measured easily by using a laser scanning type flatness measuring instrument at that time, the surface shape of the substrate 3 is determined by a waveform obtained from the measured value. Accordingly, a semiconductor device excellent in yield at the time when die bonding or flip chip bonding is used and the reliability of a mounted element, particularly, in the reliability of the rear contact of the semiconductor substrate and a contacting section by a bump, is acquired.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-244625

⑬ Int.Cl.<sup>4</sup>

H 01 L 21/52  
21/60

識別記号

庁内整理番号

A-8728-5F  
S-6918-5F

⑭ 公開 平成1年(1989)9月29日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-72372

⑰ 出 願 昭63(1988)3月26日

⑱ 発 明 者 岡 本 龍 郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内  
⑱ 発 明 者 清 水 雅 裕 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内  
⑱ 発 明 者 森 本 博 明 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内  
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

変位した半導体基板と、この半導体基板と電気的、かつ機械的に接続された基板とからなる半導体装置において、前記半導体基板側の接続部または前記基板またはこの基板側の接続部のうちの少なくとも一部を、前記半導体基板の変位形状に合致するように形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、ダイボンドまたはフリップチップボンドにより作製される半導体装置に係り、特にウェハスケールインテグレーション(以後WSIと記す)および大面積チップに関するものである。〔従来の技術〕

LSI技術の進歩に伴い素子の多機能化、高速化などの市場要求が年々強くなってきている。こ

れに対して、各機能を有するチップを各々アセンブリしてパッケージに入れ、各素子間は外部配線を通して接続することが一般的に行われている。しかしながら、このような方法ではパッケージを配線するための面積が広くなり、また相互接続のための配線距離が長くなることによる信号の伝達遅延や電圧降下などの問題を十分考慮する必要がある。

一方、1964年よりTexas Instrument社によって開発が始められたWSIは、ウェハ状の大面積半導体基板を用いて異なる機能を持つLSIを同時に形成し、それぞれを配線接続したもので、一つでシステムとしての機能を有し、高速性に対しても有利なLSIである。

第7図はその一例のウェハ表面を上から見た時の概略図で、半導体基板1の表面にそれぞれ異なる機能を有するLSI1a~1oが形成されており、それぞれは薄膜配線により接続され、また外部との信号の出入力および電源供給のためのパッド2が所望の位置に形成されている。

(2)

この半導体基板1を実装する方法としては、さまざまな方法が考えられているが、第8図(a)に示すように、通常のチップ状LSIのアセンブリと同様に半導体基板1の裏面をセラミックまたは金属の基板3と接触固定したのち、第8図(b)に示すように、パッド2に対して金属線4を接続する方法がある。通常、前者をダイボンド、後者をワイヤボンドと呼ぶ。また後者の方は、ワイヤ状の線以外にもピンを立てる方法も考えられている。そして、通常はこの後、モールド工程またはフタ付け工程等を経て実装工程が終わる。

一方、第9図(a)、(b)に示したのはフリップチップボンドと一般に呼ばれる方法で、第8図(a)、(b)に示した方法とは逆に、金属配線およびランドと呼ばれる端子5が形成されたセラミック等の基板3に対し、バンパと呼ばれる金属製の端子6がパッド2上に形成された半導体基板1の主面側を接触させ、熱を加えることで端子6と基板3表面の端子5を接続する方法である。

第10図は第8図(a)、(b)で示したダイ

度である。そして、その上にSn-Pb合金等からなる端子8が形成されている。

一方、ランドと呼ばれる端子5は第13図に示す構造になっており、セラミックなどでできた基板3の所望部には穴が開けられ、その穴の内部には、例えばWからなる棒状のピン10が形成されている。そして端子6と接触する面側にはピン10の上から、さらに例えばNi層11、Au層12が形成されている。すなわち、この例の場合フリップチップボンドを行うことで、端子6とAu層12が直接接触することになる。

ところで、第8図(a)、(b)に示したように、ダイボンドを用いる場合は、半導体基板1の裏面と基板3とをオーミック接触させることで、外部から基板3を通して半導体基板1の電位を決めることになる。従って、接着面積が狭いとオーミック接触が得られなくなる恐れがあるので、ダイボンドの際に半導体基板1の裏面の金属層と基板3表面の金属層とが均一に合金化しなければならない。

ボンド部分の断面拡大図で、実際には半導体基板1としてSi基板を用いた場合、Si基板の裏面にはT<sub>i</sub>-N<sub>i</sub>-Al層を、また基板3の表面にははんだ層を形成しておき、接触、加熱することにより両者の間にオーミック接触をもたらす金属層7を形成している。

また、第11図はフリップチップボンド部分の断面拡大図であり、端子5と端子6を接触させる前の各部分の詳細な断面拡大図を第12図および第13図に示す。

第12図はバンパと呼ばれる端子6の詳細な構造を示し、ウエハプロセス工程でトランジスタ等が形成されている半導体基板1の主面側にAl合金等からなるパッド2が形成されており、パッシュベーションとしての役目を持つ絶縁膜8の一部が開けられてパッド2が露出している。そして露出したパッド2上にバンパの下地金属層となるBLM層(Ball Limiting Metallization層)9が形成されている。一例としてBLM層9は下からCr、Cu、Auの3層からなり、その膜厚は1μm程度

一方、第9図(a)、(b)に示したように、フリップチップボンドを用いる場合は、半導体基板1の主面側に形成されたパッド2と基板3に形成された端子5を端子6を介して電気的、機械的に接続することにより、半導体基板1と外部の素子、システムとの間で信号や電源電圧、電流のやりとりを行う。

また、同一半導体基板1の中の異なる素子(第7図中のLSI1a~1cに相当)間の接続を半導体基板1内の配線で行えない場合は、端子5と基板3内に形成された配線を通して行うこともできる。このため、基板内配線も多層化する場合がある。

WSIに限らず今日のLSIでは配線層の多層化が進み、多結層Siやシリサイド、高融点金属配線などのように、一般にAl金属配線層の下層に形成される分も含めると5層、6層配線またはそれ以上の多層配線を持つLSIが実用化されている。従って、それに伴い層間絶縁膜の枚数も増加することになる。一般に、これらの配線層や層間

絶縁膜は大なり小なり膜応力を持ち、またプロセス中に行われる高温熱処理などのため半導体基板1は通常凹凸いずれかの方向に反っている。特に、この傾向は半導体基板1が大口径化されるにしたがって強くなる。また、W S Iだけでなく通常のL S Iでもチップ面積が大きい場合、また長手方向のチップ径が長い場合においては反りが顕在化する。これに対し基板3は半導体基板1の反りとは無関係な平坦性をもっている。

〔発明が解決しようとする課題〕

上記のような従来の半導体装置は、ダイボンドまたはフリップチップボンドを行うと、半導体基板1の反りに起因する応力が基板3との接触部に加わるため、引っ張り応力の場合には剥離が生じ、また特にフリップチップボンド等において圧縮性応力が加わる場合、押しつぶし現象が起こる。また、最初から部分的に接触できずにオープン不良となる可能性もあり、例えば、第9図(a)、(b)の中央部では押しつぶし、周辺部では剥離またはオープン不良が起こる。すなわち、従来の半導体

装置は、歩留り信頼性が低いという問題があった。

この発明は、かかる課題を解決するためになされたもので、ダイボンドまたはフリップチップボンドを用いた時の歩留りおよび実装された素子の信頼性、特に半導体基板の裏面接触、パンプによる接触部の信頼性の優れた半導体装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は、半導体基板側の接続部または基板またはこの基板側の接続部のうちの少なくとも一部を、半導体基板の変位形状に合致するように形成したものである。

〔作用〕

この発明においては、半導体基板の反りに起因して、半導体基板と基板の接続部に加わる応力が低減される。

〔実施例〕

以下、この発明の実施例を図で説明する。

第1図(a)、(b)はこの発明の半導体装置の一実施例を説明するための図であり、この実施

例では、第1図(a)に示すような、あらかじめ半導体基板1の変位形状に合致するように加工した基板3に、第1図(b)に示すようにダイボンドすることによって、半導体基板1の反りに起因する応力が基板3の接触部に加わらないようにしている。ここで、半導体基板1の変位は、例えばレーザ走査型の平坦度測定器を用いて容易に測定できるから、それから得られる波形をもとにして基板3の表面形状を決めればよい。

第2図(a)、(b)はこの発明の他の実施例を説明するための図であり、この実施例では第2図(a)に示すような、端子5、6の高さはそれぞれ一定であるが、あらかじめ半導体基板1の変位形状に合致するように加工した基板3に、第2図(b)に示すようにフリップチップボンドすることによって、上記実施例と同様に反りに起因する応力が生じないようにしている。

また、第3図(a)、(b)の実施例は基板3は平坦のままであるが、接続部としての端子6の高さを半導体基板1の変位に合わせて変えたもの

であり、第4図(a)、(b)の実施例は半導体基板1側には工夫をせず、基板3側の接続部としての端子5で半導体基板1の変位を補正するようにしたものである。

また、第5図の実施例は端子5の高さは一定とし、変位に対応して基板3を端子5の部分のみ高くしたものである。これは第2図(a)、(b)に示したものと発想は同じである。

さらに、第6図(a)、(b)の実施例は端子6と端子5の間に、半導体基板1の変位を補正するための導電性のピン13を設けている。

すなわち、以上のようなこの発明の半導体装置では、ダイボンド時に半導体基板1のある部分が基板3と接触しないといったような問題点がなく、また、均一に両者を接触させるために半導体基板1の全面を押さえつけなくとも、容易に両者の間に均一な接触面が作られる。

また、フリップチップボンドについてもパッド2、端子5、6に加わる応力を著しく低減することができ、熱ストレス等に対応する信頼性

(4)

も向上でき、歩留りが向上することは言うまでもない。

なお、第6図(a)、(b)で示した導電性のピン13として、例えば導電性ゴムや金属等のA1のように柔らかい材料を用いれば水平方向の変位に対しても応力の吸収が期待できる。

また、上記各実施例では半導体基板1が凹凸状に変位した状態を示しているが、波形等複雑な形状に変位するような場合でも、レーザ走査型の平坦度測定器等を用いればその変位を検出でき、この発明を適用することが可能である。

また、上記各実施例ではWSIについて示したが、チップ状のLSIについても同様であるほか、ダイボンドやフリップチップボンド以外の他の実装方法の場合についても同様な方法で対処することが可能である。

さらに、半導体基板1の裏面側にバンプや島状の導電性の電極端子を形成し、これを基板3または基板側3の端子と接続する場合についても同様である。

#### [発明の効果]

この発明は以上説明したとおり、半導体基板側の接続部または基板またはこの基板側の接続部のうちの少なくとも一部を、半導体基板の変位形状に合致するように形成したので、半導体基板と基板の接続部に加わる応力が低減され、半導体装置の歩留り、信頼性の向上が可能になるという効果がある。

#### 4. 図面の簡単な説明

第1図～第6図はこの発明の半導体装置の実施例を示す断面図、第7図はWSIの概念図、第8図、第9図は従来の半導体装置の断面図、第10図、第11図はダイボンド部分およびフリップチップボンド部分の断面拡大図、第12図、第13図はそれぞれバンプおよびランドと呼ばれる端子の断面拡大図である。

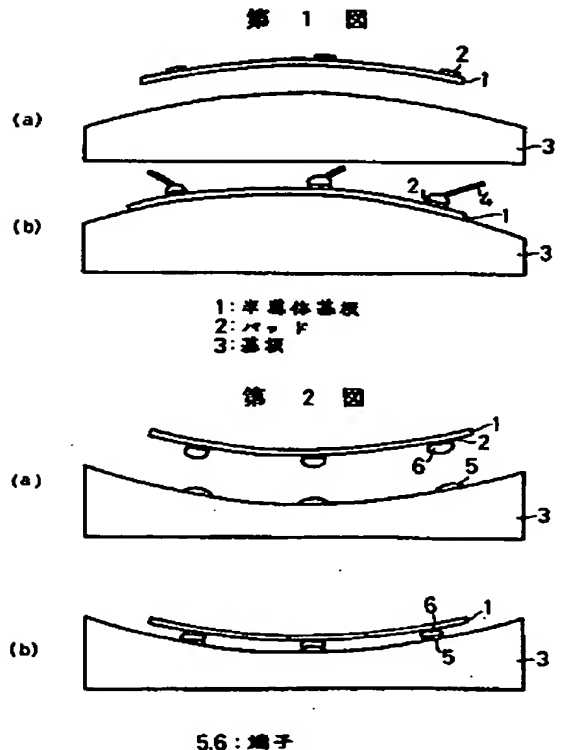
図において、1は半導体基板、2はパッド、3は基板、5、6は端子、13は導電性のピンである。

なお、各図中の同一符号は同一または相当部分

を示す。

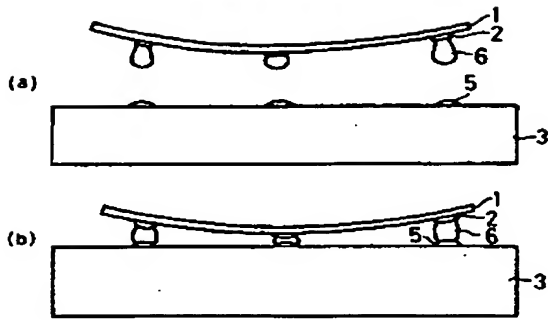
代理人 大 岩 増 雄

(外2名)

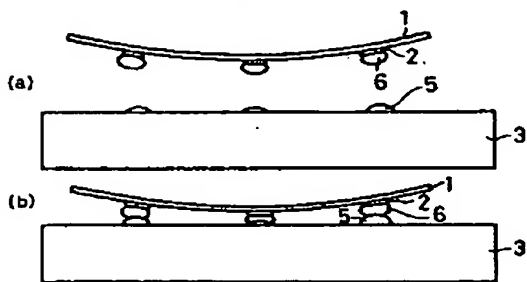


(5)

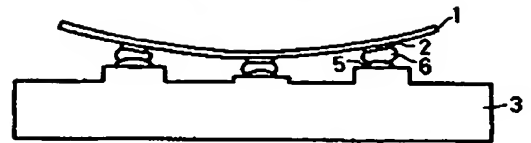
第 3 図



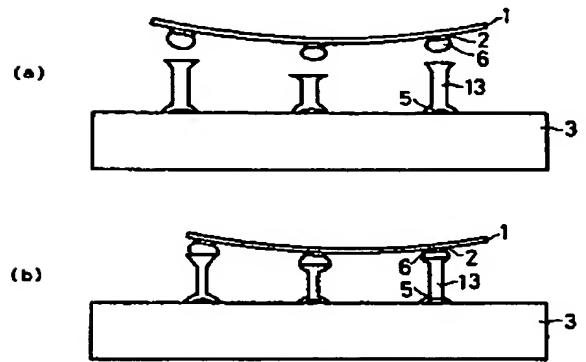
第 4 図



第 5 図

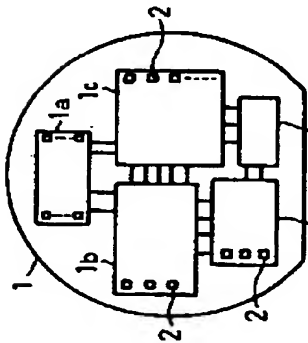


第 6 図

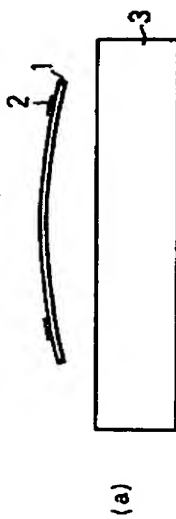


13: 導電性のピン

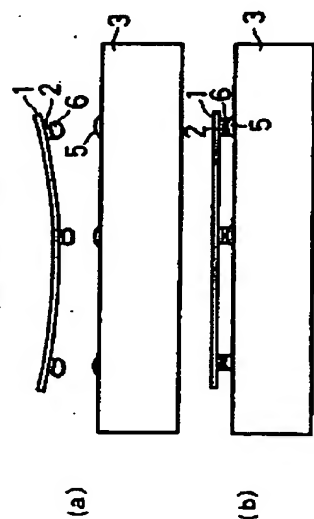
第 7 図



第 8 図

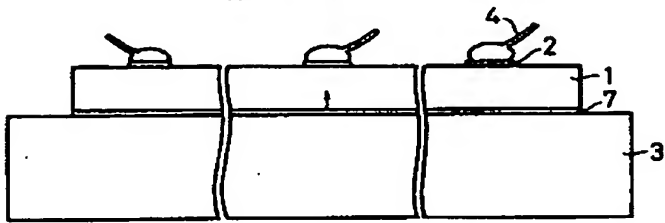


第 9 図

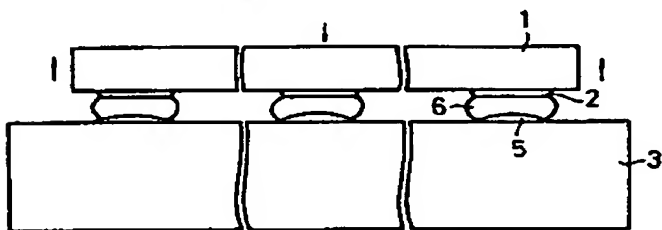


(6)

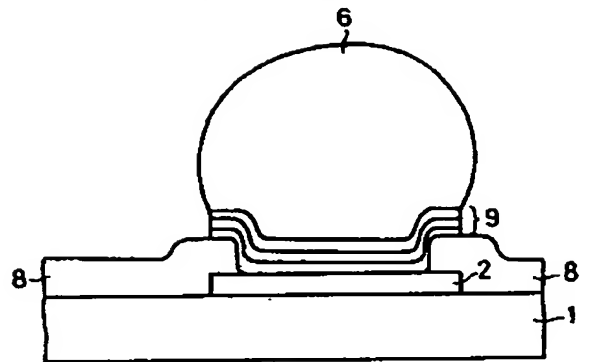
第 10 図



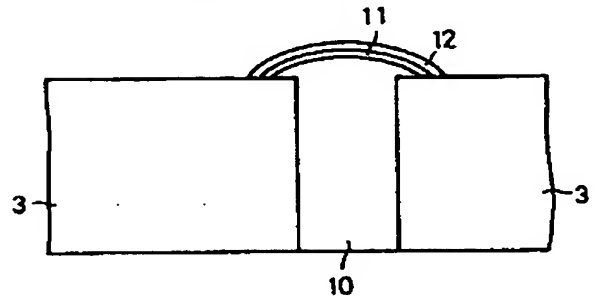
第 11 図



第 12 図



第 13 図



手続補正書(自発)  
平成 昭和 年 月 日  
1 6 9

特許庁長官殿

1. 事件の表示 特願昭63-72372号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄および図面

6. 補正の内容

- (1) 明細書第4頁3行の「T i - N i - A 層」を、「T i - N i - A 層」と補正する。
- (2) 同じく第8頁1行の「歩留り信頼性」を、「歩留り、および信頼性」と補正する。
- (3) 図面中、第4図(a)を別紙のように補正する。

以 上



(7)

第 4 圖

